

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-346131

(43)Date of publication of application : 14.12.2001

(51)Int.Cl.

H04N 5/66
G02F 1/133
G09G 3/20
G09G 3/28
G09G 3/36
H04N 7/01

(21)Application number : 2000-168068

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 05.06.2000

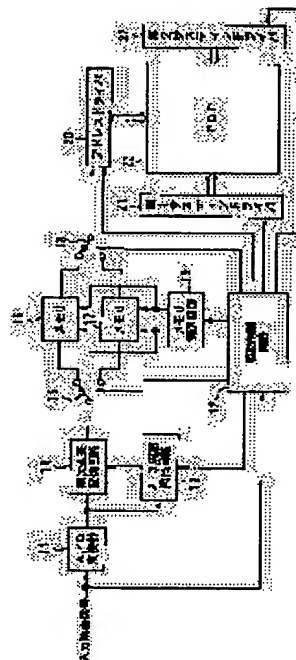
(72)Inventor : NAGAKUBO TETSURO
SHIGETA TETSUYA
HONDA KOJI

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device that enhances display quality of a telecine conversion picture.

SOLUTION: Whether or not a received interlace scanning video signal is a telecine conversion video signal in the unit of fields that is obtained through telecine conversion of a film source 24 frames per second is detected. In the case that the discrimination indicates the telecine conversion video signal, the received interlace scanning video signal is sequentially converted into a noninterlace scanning video signal through inter-field interpolation processing using a field of the same film frame, the noninterlace scanning video signal after the conversion is thinned and written in a memory in the unit of fields, the noninterlace scanning video signal written in the memory is repetitively read from the memory n -times at a rate of a multiple of (n) (n is an integer being 2 or over) of 24 Hz and the noninterlace scanning video signal read from the memory drives a display panel.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-346131

(P2001-346131A)

(43) 公開日 平成13年12月14日 (2001. 12. 14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 4 N 5/66	1 0 1	H 0 4 N 5/66	1 0 1 B 2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 5 0	G 0 9 G 3/20	6 5 0 E 5 C 0 5 8
			5 C 0 6 3
		H 0 4 N 7/01	G 5 C 0 8 0

審査請求 未請求 請求項の数 3 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2000-168068(P2000-168068)

(22) 出願日 平成12年6月5日(2000. 6. 5)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 長久保 哲朗

山梨県中巨摩郡田富町西花輪2680番地

バイオニア株式会社内

(72) 発明者 重田 哲也

山梨県中巨摩郡田富町西花輪2680番地

バイオニア株式会社内

(74) 代理人 100079119

弁理士 藤村 元彦

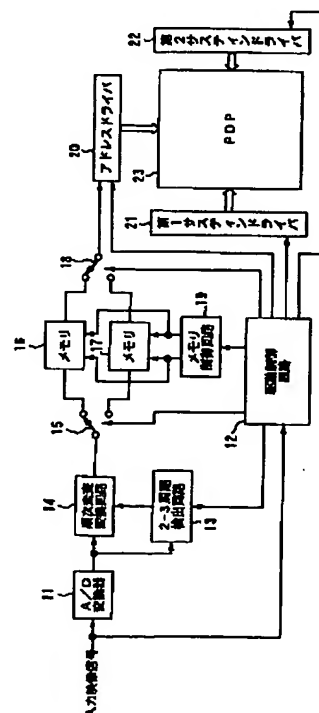
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 テレシネ変換画像に対する表示品質の向上を図った表示装置を提供する。

【解決手段】 入力された飛び越し走査の映像信号が1秒当たり24コマのフィルムソースをテレシネ変換して得られたフィールド単位のテレシネ変換映像信号であるか否かを検出し、テレシネ変換映像信号であると判別された場合には、同一フィルムフレームのフィールドを用いたフィールド間補間処理により入力された飛び越し走査の映像信号を線順次走査の映像信号に変換し、その変換後の線順次走査の映像信号を間引いてフィールド単位でメモリに書き込み、メモリに書き込んだ線順次走査の映像信号を24Hzのn倍(nは2以上の整数)のレートでメモリからn回繰り返して読み出し、メモリから読み出した線順次走査の映像信号で表示パネルを駆動する。



【特許請求の範囲】

【請求項 1】 入力された飛び越し走査の映像信号が 1 秒当たり 24 コマのフィルムソースをテレシネ変換して得られたフィールド単位のテレシネ変換映像信号であるかを検出する検出手段と、

前記検出手段によって前記入力された飛び越し走査の映像信号がテレシネ変換映像信号であると判別された場合に、同一フィルムフレームのフィールドを用いたフィールド間補間処理により前記入力された飛び越し走査の映像信号を線順次走査の映像信号に変換する線順次走査変換手段と、

メモリと、

前記線順次走査変換手段による変換後の線順次走査の映像信号を間引いてフィールド単位で前記メモリに書き込み、前記メモリに書き込んだ線順次走査の映像信号を 24 Hz の n 倍 (n は 2 以上の整数) のレートで前記メモリから n 回繰り返して読み出すメモリ制御手段と、前記メモリから読み出された線順次走査の映像信号で表示パネルを駆動する表示パネル駆動手段と、を備えたことを特徴とする表示装置。

【請求項 2】 前記表示パネル駆動手段は、1 フィールドの表示期間を複数のサブフィールドに分割し前記サブフィールドの各々において、画素セルを前記メモリから読み出された線順次走査の映像信号に応じて発光セル又は非発光セルの一方の状態に設定し、前記発光セルのみを前記複数のサブフィールド各々の重み付けに対応した回数だけ発光させる発光駆動シーケンスを設定し、前記 n 回繰り返して読み出された 1 フィールド分の線順次走査の映像信号に対する前記発光駆動シーケンス各々は、前記複数のサブフィールド各々における前記発光回数の比が互いに異なる n 回の発光駆動シーケンスからなることを特徴とする請求項 1 記載の表示装置。

【請求項 3】 前記表示パネルは、プラズマディスプレイパネルであることを特徴とする請求項 1 記載の表示装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、入力映像信号が映画フィルムから 2-3 プルダウン方式等の変換方式により生成されたテレシネ変換映像信号を高画質で表示可能にしたプラズマディスプレイパネル (PDP)、無機又は有機エレクトロルミネセンス (EL) パネル、液晶パネル等のマトリックス方式の表示装置に関する。

【0002】

【従来の技術】 NTSC 方式等の標準テレビジョン方式の映像信号の中には、映画フィルムによる映像信号が含まれることが多々ある。映画フィルムは、毎秒 24 コマ (フレーム) からなり、一方、標準テレビジョン方式の映像信号は毎秒 30 フレームからなり、1 フレームが 2 フィールドで構成される飛び越し走査の映像信号であ

る。毎秒のフレーム数が異なるので、映画フィルムの各フレームを 2-3 プルダウン方式によりテレシネ変換して標準テレビジョン方式の映像信号を得ることが通常行われる。

【0003】 2-3 プルダウン方式では、映画フィルムの第 1 コマから映像信号の第 1 フレームの第 1 及び第 2 フィールド、第 2 コマから映像信号の第 2 フレームの第 1 及び第 2 フィールド並びに第 3 フレームの第 1 フィールド、第 3 コマから映像信号の第 3 フレームの第 2 フィールド及び第 4 フレームの第 1 フィールドが作成される。以降のコマについて同様の変換によって連続したフィルムの各コマから、2 フィールド分、3 フィールド分、2 フィールド分、3 フィールド分、……のように映像信号を作成することが行われる。

【0004】 このようにして映画フィルムの 2 フレームが標準テレビジョン方式の映像信号の 5 フレームに対応し、映画フィルムのコマに対応して 2 フィールドの映像信号と 3 フィールドの映像信号とが交互に繰り返す映像信号に変換される。

20 【0005】

【発明が解決しようとする課題】 ところで、このようにテレシネ変換された飛び越し走査の映像信号による映像を PDP 等の表示装置で表示させる場合には、映像信号の連続するフレーム中の例えば、上述の第 3 フレームは映画フィルムの第 2 コマ及び第 3 コマの画像の組み合わせたものであるため、元の映画フィルムに比べて画質が劣るという問題点があった。

【0006】 そこで、本発明の目的は、テレシネ変換画像に対する表示品質の向上を図った表示装置を提供することである。

【0007】

【課題を解決するための手段】 本発明の表示装置は、入力された飛び越し走査の映像信号が 1 秒当たり 24 コマのフィルムソースをテレシネ変換して得られたフィールド単位のテレシネ変換映像信号であるかを検出する検出手段と、検出手段によって入力された飛び越し走査の映像信号がテレシネ変換映像信号であると判別された場合に、同一フィルムフレームのフィールドを用いたフィールド間補間処理により入力された飛び越し走査の映像信号を線順次走査の映像信号に変換する線順次走査変換手段と、メモリと、線順次走査変換手段による変換後の線順次走査の映像信号を間引いてフィールド単位でメモリに書き込み、メモリに書き込んだ線順次走査の映像信号を 24 Hz の n 倍 (n は 2 以上の整数) のレートでメモリから n 回繰り返して読み出すメモリ制御手段と、メモリから読み出された線順次走査の映像信号で表示パネルを駆動する表示パネル駆動手段と、を備えたことを特徴としている。

【0008】

50 【発明の実施の形態】 以下、本発明の実施例を図面を参

3

照しつつ詳細に説明する。図 1 は本発明による表示装置を示している。この表示装置においては、NTSC 形式の入力映像信号が A/D 変換器 11 及び駆動制御回路 12 に供給される。A/D 変換器 11 は駆動制御回路 12 から供給されるクロック信号に応じて、アナログの入力映像信号をサンプリングしてこれを 1 画素毎に例えば 8 ビットの画素データ (入力画素データ) に変換する。A/D 変換器 11 の出力には 2-3 周期検出回路 13 及び順次走査変換回路 14 が接続されている。

【0009】2-3 周期検出回路 13 は A/D 変換器 11 から供給された映像信号が 1 コマ当たり 2 フィールド分の信号部分と 3 フィールド分の信号部分とのいずれであるかを判定する。例えば、映像信号の連続するフレーム間の画素毎の差分の絶対値を 1 フィールド期間積算し、その積算値を所定の閾値と比較する。積算値が所定の閾値以上のとき動画フィールドと判定し、積算値が所定の閾値より小のとき静止画フィールドと判定する。動画フィールドとは連続するフレーム間でフィールド画像が異なる場合であり、静止画フィールドとは連続するフレーム間でフィールドが一致する場合である。2-3 プルダウン方式でテレシネ変換された映像信号の場合には静止画フィールドが 5 フィールド毎に発生するので、静止画フィールドが検出された場合にはそのフィールドが 3 フィールド分の信号部分の最後フィールドとなる。2-3 周期検出回路 13 による検出信号は順次走査変換回路 14 に供給される。

【0010】順次走査変換回路 14 は 2-3 周期検出回路 13 の検出信号に応じて映像信号を線順次走査の映像信号に変換する。2 フィールド分の信号部分ではその 2 フィールド分の映像信号を一旦各々保存して交互に出力する。3 フィールド分の信号部分では最初の 2 フィールド分の映像信号を一旦各々保存して交互に出力する。すなわち、2-3 周期検出回路 13 において静止画フィールドが検出された場合にはその静止画フィールドは無視される。

【0011】順次走査変換回路 14 の出力には切換スイッチ 15 が接続されている。切換スイッチ 15 は順次走査変換回路 14 の出力信号を介してメモリ 16, 17 のいずれか一方に供給する。切換スイッチ 15 はメモリ 16, 17 の書き込み入力に接続されているが、メモリ 16, 17 の読み出し出力には切換スイッチ 18 が接続されている。切換スイッチ 18 はメモリ 16, 17 のいずれか一方から読み出された映像信号を中継出力する。メモリ 16, 17 各々は所定の容量を有し、その書き込み及び読み出しはメモリ制御回路 19 によって制御される。

【0012】アドレスドライバ 20 は、駆動制御回路 12 から供給されたタイミング信号に応じて、メモリ 16, 17 から読み出された映像信号の 1 行分の変換画素データビット各々の論理レベルに対応した電圧を有する

4

m 個の画素データパルスが発生し、これらを PDP 23 の列電極 $D_1 \sim D_m$ に夫々印加する。PDP 23 は、アドレス電極としての上記列電極 $D_1 \sim D_m$ と、これら列電極と直交して配列されている行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。PDP 23 では、これら行電極 X 及び行電極 Y の一対にて 1 行分に対応した行電極を形成している。すなわち、PDP 23 における第 1 行目の行電極対は行電極 X_1 及び Y_1 であり、第 n 行目の行電極対は行電極 X_n 及び Y_n である。上記行電極対及び列電極は放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて 1 画素に対応した放電セルが形成される構造となっている。

【0013】第 1 サスティンドライバ 21 及び第 2 サスティンドライバ 22 各々は、駆動制御回路 12 から供給されたタイミング信号に応じて駆動パルスが発生し、これらを PDP 23 の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する。駆動制御回路 12 は、上記入力映像信号中の水平及び垂直同期信号に同期して、A/D 変換器 11 に対するクロック信号、スイッチ 15, 18 各々の切換信号及びメモリ制御回路 19 によるメモリ 16, 17 に対する書込及び読出のためのタイミング信号が発生する。更に、駆動制御回路 12 は、かかる水平及び垂直同期信号に同期して、アドレスドライバ 20、第 1 サスティンドライバ 21 及び第 2 サスティンドライバ 22 各々を駆動制御すべき各種タイミング信号が発生する。

【0014】かかる構成の表示装置においては、入力映像信号が 2-3 プルダウン方式でテレシネ変換された映像信号であるとする、その映像信号は図 2 (a) に示すフィルムのコマ A, B, C, D, ……に対して図 2 (b) に示す如きフィールド列となる。すなわち、コマ A に対しては第 1 フレームの第 1 フィールド A1 及び第 2 フィールド A2 となり、コマ B に対しては第 2 フレームの第 1 フィールド B1 及び第 2 フィールド B2 並びに第 3 フレームの第 1 フィールド B1 となる。コマ C に対しては第 3 フレームの第 2 フィールド C1 及び第 4 フレームの第 1 フィールド C2 となり、コマ D に対しては第 4 フレームの第 2 フィールド D1 並びに第 5 フレームの第 1 フィールド D2 及び第 2 フィールド D1 となる。各コマの長さは 1/24 秒に対して各フィールドの長さは 1/60 秒である。

【0015】順次走査変換回路 14 はテレシネ変換された映像信号を線順次走査の映像信号に変換するので、図 2 (b) の第 1 フレームの第 1 フィールド A1 及び第 2 フィールド A2 からライン毎に信号を交互に得て図 2 (c) に示すように 1 画面分の映像信号 VA を生成する。同様に、第 2 フレームの第 1 フィールド B1 及び第 2 フィールド B2 からライン毎に信号を交互に得て 1 画面分の映像信号 VB を生成する。第 3 フレームの第 2 フィールド C1 及び第 4 フレームの第 1 フィールド C2 からライン毎に信号を交互に得て 1 画面分の映像信号 VC を生成す

5

る。第4フレームの第2フィールドD1並びに第5フレームの第1フィールドD2からライン毎に信号を交互に得て1画面分の映像信号VDを生成する。この映像信号VA, VB, VC, VD各々の長さは1/30秒である。

【0016】メモリ制御回路19は順次走査変換回路14の出力映像信号をメモリ16とメモリ17とに切換スイッチ15を介して交互に書き込ませる。また、この書き込みは映像信号を間引いて24Hzで書き込まれる。図2(d)に示すようにメモリ16に映像信号VAが間引き書き込まれるとすると、次に、図2(e)に示すようにメモリ17には映像信号VBが間引き書き込まれる。そして、メモリ16に映像信号VCが間引き書き込まれ、次に、メモリ17には映像信号VDが間引き書き込まれる。

【0017】このようにメモリ16, 17に間引き書き込まれた映像信号VA, VB, VC, VDはメモリ制御回路19の制御によって読み出される。この読み出しは48Hzでメモリ16, 17各々で2回繰り返して行われる。すなわち、図2(f)に示すようにメモリ16から映像信号VAが2回読み出され、次に図2(g)に示すようにメモリ17から映像信号VBが2回読み出される。同様に、メモリ16から映像信号VCが2回読み出され、次にメモリ17から映像信号VDが2回読み出される。

【0018】メモリ16, 17各々から読み出された映像信号(画素データ)は切換スイッチ18を介してアドレスドライバ20に順次供給される。その映像信号の1行分の画素データビット各々の論理レベルに対応した電圧を有するm個の画素データパルスが順次生成され、これらをPDP23の列電極D1~Dmに各々印加される。また、第1サスティンドライバ21及び第2サスティンドライバ12各々からの駆動パルスが発生され、PDP23の行電極X1~Xn及びY1~Ynに印加される。よって、PDP23にはメモリ16, 17各々から読み出された映像信号に応じた画像が表示される。

【0019】上記したようにメモリ16から読み出された映像信号VAに対しては、図2(h)に示すように映像信号VAによる画像が2回連続して1/48秒ずつ表示される。メモリ16又は17から映像信号VB, VC, VDに対しても各映像信号による画像が2回連続して1/48秒ずつ表示される。すなわち、図2(a)の映画フィルムのコマと同様に1/24秒で1画面となる表示が行われる。

【0020】なお、メモリ16, 17に間引き書き込まれた映像信号VA, VB, VC, VD各々の読み出しを $n \times 24 \text{ Hz}$ でn回繰り返しても良い。nは2以上の整数である。例えば、72Hzで3回繰り返して読み出しの場合には、図2(i)に示すようにメモリ16から映像信号VAが3回読み出され、次に図2(j)に示すようにメモリ17から映像信号VBが3回読み出される。同様

6

に、メモリ16から映像信号VCが3回読み出され、次にメモリ17から映像信号VDが3回読み出される。メモリ16から読み出された映像信号VAに対しては、図2(k)に示すように映像信号VAによる画像が3回連続して1/72秒ずつ表示される。メモリ16又は17から映像信号VB, VC, VDに対しても各映像信号による画像が3回連続して1/72秒ずつ表示される。すなわち、図2(a)の映画フィルムのコマと同様に1/24秒で1画面となる表示が行われる。

10 【0021】図3は、本発明の他の実施例としてPDPを用いた表示装置の概略構成を示す図である。図3において、A/D変換器1は、駆動制御回路2から供給されるクロック信号に応じて、アナログの入力映像信号をサンプリングしてこれを1画素毎に例えば8ビットの画素データ(入力画素データ)PDに変換し、これをデータ変換回路30に供給する。

【0022】駆動制御回路2は、上記入力映像信号中の水平及び垂直同期信号に同期して、上記A/D変換器1に対するクロック信号、及びメモリ4に対する書込・読出信号を発生する。更に、駆動制御回路2は、かかる水平及び垂直同期信号に同期して、アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々を駆動制御すべき各種タイミング信号を発生する。

【0023】データ変換回路30は、かかる8ビットの画素データPDを、8ビットの変換画素データ(表示画素データ)HDに変換し、これをメモリ4に供給する。尚、かかるデータ変換回路30の変換動作については、後述する。メモリ4は、駆動制御回路2から供給されてくる書込信号に従って上記変換画素データHDを順次書き込む。かかる書込動作により1画面(n行、m列)分の書き込みが終了すると、メモリ4は、この1画面分の変換画素データHD11~nmを、各ビット桁毎に分割して読み出し、これを1行分毎に順次アドレスドライバ6に供給する。

【0024】アドレスドライバ6は、駆動制御回路2から供給されたタイミング信号に応じて、かかるメモリ4から読み出された1行分の変換画素データビット各々の論理レベルに対応した電圧を有するm個の画素データパルスが発生し、これらをPDP10の列電極D1~Dmに夫々印加する。PDP10は、アドレス電極としての上記列電極D1~Dmと、これら列電極と直交して配列されている行電極X1~Xn及び行電極Y1~Ynを備えている。PDP23では、これら行電極X及び行電極Yの一对にて1行分に対応した行電極を形成している。すなわち、PDP10における第1行目の行電極対は行電極X1及びY1であり、第n行目の行電極対は行電極Xn及びYnである。上記行電極対及び列電極は放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造と

なっている。

【0025】第1サスティンドライバ7及び第2サスティンドライバ8各々は、駆動制御回路2から供給されたタイミング信号に応じて、以下に説明するが如き各種駆動パルスが発生し、これらをPDP10の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する。図4は、上記アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々がPDP10の列電極 $D_1 \sim D_m$ 、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する各種駆動パルスの印加タイミングを示す図である。

【0026】図4に示される例では、1フィールドの表示期間を8個のサブフィールドSF1～SF8に分割してPDP10に対する駆動を行う。各サブフィールド内では、PDP10の各放電セルに対して画素データの書き込みを行って発光セル及び非発光セルの設定を行う画素データ書込行程 W_c と、上記発光セルのみを各サブフィールドの重み付けに対応した期間(回数)だけ発光維持させる維持発光行程 I_c とを実施する。又、先頭のサブフィールドSF1のみで、PDP10の全放電セルを初期化せしめる一斉リセット行程 R_c を実行し、最後尾のサブフィールドSF8のみで、消去行程 E を実行する。

【0027】先ず、上記一斉リセット行程 R_c では、第1サスティンドライバ7及び第2サスティンドライバ8が、PDP10の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ 各々に対して図3に示されるが如きリセットパルス R_{Px} 及び R_{Py} を同時に印加する。これらリセットパルス R_{Px} 及び R_{Py} の印加に応じて、PDP10中の全ての放電セルがリセット放電して、各放電セル内には一様に所定の壁電荷が形成される。これにより、全放電セルは上記発光セルに設定される。

【0028】次に、図4の画素データ書込行程 W_c では、アドレスドライバ6が、各行毎の画素データパルス群 $DP_{11} \sim n$ 、 $DP_{21} \sim n$ 、 $DP_{31} \sim n$ 、 \dots 、 $DP_{81} \sim n$ を図3に示されるように、順次列電極 $D_1 \sim D_m$ に印加して行く。つまり、アドレスドライバ6は、サブフィールドSF1内では、上記変換画素データ HD_{11-nm} 各々の第1ビット目に基づいて生成した第1行～第 n 行各々に対応した画素データパルス群 $DP_{11} \sim n$ を、図4に示されるが如く1行分毎に順次列電極 $D_1 \sim D_m$ に印加して行く。又、サブフィールドSF2内では、上記変換画素データ HD_{11-nm} 各々の第2ビット目に基づいて生成した画素データパルス群 $DP_{21} \sim n$ を、図4に示されるが如く1行分毎に順次列電極 $D_1 \sim D_m$ に印加して行くのである。この際、アドレスドライバ6は、変換画素データのビット論理が例えば論理レベル“1”である場合に限り高電圧の画素データパルスを発生して列電極 D に印加する。かかる各画素データパルス群 DP の印加タイミングと同一タイミングにて、第2サスティンドライバ8は、図4に示されるが如き走査パルス SP を発生してこれを行電極 $Y_1 \sim Y_n$ へと順次印加して行く。ここで、上

記走査パルス SP が印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電(選択消去放電)が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。かかる選択消去放電により、上記一斉リセット行程 R_c にて発光セルの状態に初期化された放電セルは、非発光セルに推移する。尚、上記高電圧の画素データパルスが印加されなかった“列”に形成されている放電セルには放電が生起されず、上記一斉リセット行程 R_c にて初期化された状態、つまり発光セルの状態を維持する。

【0029】すなわち、画素データ書込行程 W_c の実行によれば、後述する維持発光行程において発光状態が維持される発光セルと、消灯状態のままの非発光セルとが画素データに応じて択一的に設定され、いわゆる画素データの書き込みが為されるのである。又、図4に示される維持発光行程 I_c では、第1サスティンドライバ7及び第2サスティンドライバ8が、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して図4に示されるように交互に維持パルス I_{Px} 及び I_{Py} を印加する。この際、上記画素データ書込行程 W_c によって壁電荷が残留したままとなっている放電セル、すなわち発光セルは、かかる維持パルス I_{Px} 及び I_{Py} が交互に印加されている期間中、放電発光を繰り返しその発光状態を維持する。その発光維持期間(回数)は、各サブフィールドの重み付けに対応して設定されている。

【0030】図5は、各サブフィールド毎の発光維持期間(回数)が記述されている発光駆動フォーマットを示す図である。なお、図5の駆動モード(A)は、例えば偶数フィールド(又は偶数フレーム)、駆動モード(B)は、奇数フィールド(又は奇数フレーム)での発光駆動時に用いる。すなわち、偶数フィールドの表示期間中においては、各サブフィールドSF1～8毎の維持発光行程 I_c での発光期間は、駆動モード(A)に示されるように、

SF1 : 3
SF2 : 11
SF3 : 20
SF4 : 30
SF5 : 40
SF6 : 51
SF7 : 63
SF8 : 37

に設定されており、奇数フィールドの表示期間中においては、各サブフィールドSF1～8毎の維持発光行程 I_c での発光期間は、駆動モード(B)に示されるように、

SF1 : 1
SF2 : 6
SF3 : 16
SF4 : 24
SF5 : 35
SF6 : 46

SF7:57

SF8:70

に設定されている。

【0031】この際、サブフィールドSF1～SF8各々での発光期間比は、非線形（すなわち、逆ガンマ比率、 $Y=X^{2.2}$ ）であり、これにより入力画素データPDの非線形特性（ガンマ特性）を補正するようにしている。すなわち、各維持発光行程Icでは、その直前に実行された画素データ書込行程Wcにて発光セルに設定された放電セルのみが、偶数フィールドの表示期間中は駆動モード(A)、奇数フィールドの表示期間中は駆動モード(B)に示される発光期間に亘り発光するのである。

【0032】又、図4に示される消去行程Eでは、アドレスドライバ6が、消去パルスAPを発生してこれを列電極D_{1-m}の各々に印加する。更に、第2サスティンドライバ8が、かかる消去パルスAPの印加タイミングと同時に消去パルスEPを発生してこれを行電極Y_{1-Yn}各々に印加する。これら消去パルスAP及びEPの同時印加により、PDP10における全放電セル内において消去放電が生じられ、全ての放電セル内に残存している壁電荷が消滅する。

【0033】すなわち、かかる消去行程Eの実行により、PDP10における全ての放電セルが非発光セルとなるのである。図6は、図3に示されるデータ変換回路30の内部構成を示す図である。図6に示されるように、データ変換回路30は、2-3周期検出回路13、順次走査変換回路14、切換スイッチ15、18、メモリ16、17、メモリ制御回路19、第1データ変換回路32、多階調化処理回路33及び第2データ変換回路34で構成される。2-3周期検出回路13、順次走査変換回路14、切換スイッチ15、18、メモリ16、17及びメモリ制御回路19は図1に示したものと同一である。

【0034】図6における第1データ変換回路32は、切換スイッチ18から供給された映像信号、すなわち8ビット（0～255）の画素データPD'を、8ビット（0～128）の変換画素データHD_pに変換して多階調化処理回路33に供給する。図7は、かかる第1データ変換回路32の内部構成を示す図である。図7において、データ変換回路321は、画素データPD'を図8に示されるが如き変換特性に基づいて8ビット（0～128）の変換画素データAに変換してこれをセクタ322に供給する。データ変換回路323は、上記画素データPD'を図9に示されるが如き変換特性に基づいて8ビット（0～128）の変換画素データBに変換してこれをセクタ322に供給する。セクタ322は、これら変換画素データA及びBの内から、変換特性選択信号の論理レベルに応じた方を択一的に選択し、これを変換画素データHD_pとして出力する。かかる変換特性選択信号は、図3に示した駆動制御回路2から供給され

るもので、入力画素データDの垂直同期タイミングに応じて論理レベル“1”から“0”、又は“0”から“1”へと推移する信号である。ここで、図8の変換特性と図5の駆動モード(B)、図9の変換特性と図5の駆動モード(A)は、対となっている。つまり、セクタ322は、図5の駆動モード(A)が設定されるフィールド（偶数フィールド）では、変換画素データBを選択し、図5の駆動モード(B)が設定されるフィールド（奇数フィールド）では、変換画素データAを選択し、これを10 変換画素データHD_pとして出力するのである。尚、上記変換特性は、入力画素データのビット数、後述する多階調化による圧縮ビット数及び表示階調数に応じて設定される。このように、後述する多階調化処理回路33の前段に第1データ変換回路32を設けて、表示階調数、多階調化による圧縮ビット数に合わせた変換を施し、これにより画素データPD'を上位ビット群（多階調化画素データに対応）と下位ビット群（切り捨てられるデータ：誤差データ）をビット境界で切り分け、この信号に基づいて多階調化処理を行うようになっている。20 これにより、多階調化処理による輝度飽和の発生及び表示階調がビット境界にない場合に生じる表示特性の平坦部の発生（すなわち、階調歪みの発生）を防止する。

【0035】かかる図7に示される構成により、第1データ変換回路32は、切換スイッチ18から供給された8ビット（0～255）の画素データPD'を、1フィールド（フレーム）毎にその変換特性（図8、図9）を切り換えつつ8ビット（0～128）の変換画素データHD_pに変換して多階調化処理回路33に供給する。図10は、かかる多階調化処理回路33の内部構成を示す図である。30

【0036】図10に示されるが如く、多階調化処理回路33は、誤差拡散処理回路330及びディザ処理回路350から構成される。先ず、誤差拡散処理回路330におけるデータ分離回路331は、上記第1データ変換回路32から供給された8ビットの変換画素データHD_p中の下位2ビット分を誤差データ、上位6ビット分を表示データとして分離する。加算器332は、かかる誤差データとしての変換画素データHD_p中の下位2ビット分と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算して得た加算値を遅延回路336に供給する。遅延回路336は、加算器332から供給された加算値を、画素データのクロック周期と同一の時間を有する遅延時間Dだけ遅らせ、これを遅延加算信号AD₁として上記係数乗算器335及び遅延回路337に夫々供給する。係数乗算器335は、上記遅延加算信号AD₁に所定係数値K₁（例えば、“7/16”）を乗算して得られた乗算結果を上記加算器332に供給する。遅延回路337は、上記遅延加算信号AD₁を更に（1水平走査期間－上記遅延時間D×4）なる時間だけ遅延させたものを遅延加算信号AD₂として遅延回路338に供

給する。遅延回路 338 は、かかる遅延加算信号 AD_2 を更に上記遅延時間 D だけ遅延させたものを遅延加算信号 AD_3 として係数乗算器 339 に供給する。又、遅延回路 338 は、かかる遅延加算信号 AD_2 を更に上記遅延時間 $D \times 2$ なる時間分だけ遅延させたものを遅延加算信号 AD_4 として係数乗算器 340 に供給する。更に、遅延回路 338 は、かかる遅延加算信号 AD_2 を上記遅延時間 $D \times 3$ なる時間分だけ遅延させたものを遅延加算信号 AD_5 として係数乗算器 341 に供給する。係数乗算器 339 は、上記遅延加算信号 AD_3 に所定係数値 K_2 (例えば、“3/16”) を乗算して得られた乗算結果を加算器 342 に供給する。係数乗算器 340 は、上記遅延加算信号 AD_4 に所定係数値 K_3 (例えば、“5/16”) を乗算して得られた乗算結果を加算器 342 に供給する。係数乗算器 341 は、上記遅延加算信号 AD_5 に所定係数値 K_4 (例えば、“1/16”) を乗算して得られた乗算結果を加算器 342 に供給する。加算器 342 は、上記係数乗算器 339、340 及び 341 各々から供給された乗算結果を加算して得られた加算信号を上記遅延回路 334 に供給する。遅延回路 334 は、かかる加算信号を上記遅延時間 D なる時間分だけ遅延させて上記加算器 332 に供給する。加算器 332 は、上記誤差データ(変換画素データ HD_p 中の下位 2 ビット分)と、遅延回路 334 からの遅延出力と、係数乗算器 335 の乗算出力とを加算し、この際、桁上げがない場合には論理レベル“0”、桁上げがある場合には論理レベル“1”のキャリアウト信号 C_0 を発生して加算器 333 に供給する。加算器 333 は、上記表示データ(変換画素データ HD_p 中の上位 6 ビット分)に、上記キャリアウト信号 C_0 を加算したものを 6 ビットの誤差拡散処理画素データ ED として出力する。

【0037】以下に、かかる構成からなる誤差拡散処理回路 330 の動作について説明する。例えば、図 11 に示されるが如き $PDP10$ の画素 $G(j, k)$ に対応した誤差拡散処理画素データ ED を求める場合、先ず、かかる画素 $G(j, k)$ の左横の画素 $G(j, k-1)$ 、左斜め上の画素 $G(j-1, k-1)$ 、真上の画素 $G(j-1, k)$ 、及び右斜め上の画素 $G(j-1, k+1)$ 各々に対応した各誤差データ、すなわち、画素 $G(j, k-1)$ に対応した誤差データ：遅延加算信号 AD_1
画素 $G(j-1, k+1)$ に対応した誤差データ：遅延加算信号 AD_3
画素 $G(j-1, k)$ に対応した誤差データ：遅延加算信号 AD_4
画素 $G(j-1, k-1)$ に対応した誤差データ：遅延加算信号 AD_5

各々を、上述した如き所定の係数値 $K_1 \sim K_4$ をもって重み付け加算する。次に、この加算結果に、変換画素データ HD_p の下位 2 ビット分、すなわち画素 $G(j, k)$ に対応した誤差データを加算し、この際得られた 1 ビット分の

キャリアウト信号 C_0 を変換画素データ HD_p 中の上位 6 ビット分、すなわち画素 $G(j, k)$ に対応した表示データに加算したものを誤差拡散処理画素データ ED とする。

【0038】誤差拡散処理回路 330 は、かかる構成により、変換画素データ HD_p 中の上位 6 ビット分を表示データ、残りの下位 2 ビット分を誤差データとして捉え、周辺画素 $\{G(j, k-1)$ 、 $G(j-1, k+1)$ 、 $G(j-1, k)$ 、 $G(j-1, k-1)\}$ 各々での誤差データを重み付け加算したものを、上記表示データに反映させるようにしている。この動作により、原画素 $\{G(j, k)\}$ における下位 2 ビット分の輝度が上記周辺画素により擬似的に表現され、それ故に 8 ビットよりも少ないビット数、すなわち 6 ビット分の表示データにて、上記 8 ビット分の画素データと同等の輝度階調表現が可能になるのである。

【0039】なお、この誤差拡散の係数値が各画素に対して一定に加算されていると、誤差拡散パターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、後述するディザ係数の場合と同様に 4 つの画素各々に割り当てるべき誤差拡散の係数 $K_1 \sim K_4$ を 1 フィールド毎に変更するようにしても良い。ディザ処理回路 350 は、かかる誤差拡散処理回路 330 から供給された誤差拡散処理画素データ ED にディザ処理を施すことにより、6 ビットの誤差拡散処理画素データ ED と同等な輝度階調レベルを維持しつつもビット数を更に 4 ビットに減らした多階調化処理画素データ DS を生成する。尚、かかるディザ処理では、隣接する複数の画素により 1 つの中間表示レベルを表現するものである。例えば、8 ビットの画素データの内の上位 6 ビットの画素データを用いて 8 ビット相当の階調表示を行う場合、左右、上下に互いに隣接する 4 つの画素を 1 組とし、この 1 組の各画素に対応した画素データ各々に、互いに異なる係数値からなる 4 つのディザ係数 $a \sim d$ を夫々割り当てて加算する。かかるディザ処理によれば、4 画素で 4 つの異なる中間表示レベルの組み合わせが発生することになる。よって、例え画素データのビット数が 6 ビットであっても、表現出来る輝度階調レベルは 4 倍、すなわち、8 ビット相当の中間調表示が可能となるのである。

【0040】しかしながら、ディザ係数 $a \sim d$ なるディザパターンが各画素に対して一定に加算されていると、このディザパターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、ディザ処理回路 350 においては、4 つの画素各々に割り当てるべき上記ディザ係数 $a \sim d$ を 1 フィールド毎に変更するようにしている。

【0041】図 12 は、かかるディザ処理回路 350 の内部構成を示す図である。図 12 において、ディザ係数発生回路 352 は、互いに隣接する 4 つの画素毎に 4 つのディザ係数 a 、 b 、 c 、 d を発生してこれらを順次加算器 351 に供給する。例えば、図 13 に示されるよう

に、第 j 行に対応した画素 $G(j, k)$ 及び画素 $G(j, k+1)$ 、第 $(j+1)$ 行に対応した画素 $G(j+1, k)$ 及び画素 $G(j+1, k+1)$ なる 4 つの画素各々に対応した 4 つのディザ係数 a 、 b 、 c 、 d を発生する。この際、ディザ係数発生回路 352 は、これら 4 つの画素各々に割り当てるべき上記ディザ係数 $a \sim d$ を図 13 に示されるように 1 フィールド毎に変更して行く。

【0042】すなわち、最初の第 1 フィールドにおいては、

画素 $G(j, k)$: ディザ係数 a

画素 $G(j, k+1)$: ディザ係数 b

画素 $G(j+1, k)$: ディザ係数 c

画素 $G(j+1, k+1)$: ディザ係数 d

次の第 2 フィールドにおいては、

画素 $G(j, k)$: ディザ係数 b

画素 $G(j, k+1)$: ディザ係数 a

画素 $G(j+1, k)$: ディザ係数 d

画素 $G(j+1, k+1)$: ディザ係数 c

次の第 3 フィールドにおいては、

画素 $G(j, k)$: ディザ係数 d

画素 $G(j, k+1)$: ディザ係数 c

画素 $G(j+1, k)$: ディザ係数 b

画素 $G(j+1, k+1)$: ディザ係数 a

そして、第 4 フィールドにおいては、

画素 $G(j, k)$: ディザ係数 c

画素 $G(j, k+1)$: ディザ係数 d

画素 $G(j+1, k)$: ディザ係数 a

画素 $G(j+1, k+1)$: ディザ係数 b

の如き割り当てにてディザ係数 $a \sim d$ を循環して繰り返し発生し、これを加算器 351 に供給する。ディザ係数発生回路 352 は、上述した如き第 1 フィールド～第 4 フィールドの動作を繰り返し実行する。すなわち、かかる第 4 フィールドでのディザ係数発生動作が終了したら、再び、上記第 1 フィールドの動作に戻って、前述した動作を繰り返すのである。加算器 351 は、上記誤差拡散処理回路 330 から供給されてくる上記画素 $G(j, k)$ 、画素 $G(j, k+1)$ 、画素 $G(j+1, k)$ 、及び画素 $G(j+1, k+1)$ 各々に対応した誤差拡散処理画素データ ED 各々に、上述の如く各フィールド毎に割り当てられたディザ係数 $a \sim d$ を夫々加算し、この際得られたディザ加算画素データを上位ビット抽出回路 353 に供給する。

【0043】例えば、図 13 に示される第 1 フィールドにおいては、画素 $G(j, k)$ に対応した誤差拡散処理画素データ ED + ディザ係数 a 、画素 $G(j, k+1)$ に対応した誤差拡散処理画素データ ED + ディザ係数 b 、画素 $G(j+1, k)$ に対応した誤差拡散処理画素データ ED + ディザ係数 c 、画素 $G(j+1, k+1)$ に対応した誤差拡散処理画素データ ED + ディザ係数 d の各々をディザ加算画素データとして上位ビット抽出回路 353 に順次供給して行くのである。上位ビット抽出回路 353 は、かかるディザ

加算画素データの上位 4 ビット分までを抽出し、これを多階調化画素データ D_S として出力する。

【0044】このように、図 12 に示されるディザ処理回路 350 は、4 つの画素各々に対応させて割り当てるべき上記ディザ係数 $a \sim d$ を 1 フィールド毎に変更して行くことにより、ディザパターンによる視覚的ノイズを低減させつつも視覚的に多階調化した 4 ビット (0～7) の多階調化画素データ D_S を求め、これを第 2 データ変換回路 34 に供給するのである。

10 【0045】第 2 データ変換回路 34 は、かかる多階調化画素データ D_S を図 14 に示されるが如き変換テーブルに従って図 5 のサブフィールド $SF1 \sim SF8$ 各々に対応した第 1～第 8 ビットからなる変換画素データ (表示画素データ) HD に変換する。尚、図 14 において、変換画素データ HD における第 1～第 8 ビットの内の論理レベル "1" のビットは、そのビットに対応したサブフィールド SF での画素データ書込行程 Wc において選択消去放電を実施させることを示すものである (黒丸にて示す)。

20 【0046】かかる変換画素データ HD は、図 3 に示されるように、メモリ 4 を介してアドレスドライバ 6 に供給される。この際、変換画素データ HD の形態は、図 14 に示されるが如き 9 パターンの内のいずれか 1 つとなる。アドレスドライバ 6 は、上記変換画素データ HD 中の第 1～第 8 ビット各々をサブフィールド $SF1 \sim 8$ 各々に割り当て、そのビット論理が論理レベル "1" である場合に限り、該当するサブフィールドでの画素データ書込行程 Wc において高電圧の画素データパルスが発生し、これを PDP 10 の列電極 D に印加する。これにより、上記選択消去放電が生起されるのである。よって、各放電セルは、図 14 の黒丸に示されるサブフィールドにおいて上記選択消去放電が為されるまでの間、発光セルとなり、その間に存在する連続したサブフィールド各々での維持発光行程 Ic において、図 5 に示されるが如き発光期間比にて発光を行う。

【0047】これにより、偶数フィールド (フレーム) 表示期間中は、図 14 の発光輝度 (A) に示されるように、
{0 : 3 : 14 : 34 : 64 : 104 : 155 : 218 : 255} なる 9 階調の発光駆動が為され、奇数フィールド (フレーム) 表示期間中は、図 14 の発光輝度 (B) に示されるように、
{0 : 1 : 7 : 23 : 47 : 82 : 128 : 185 : 255} なる 9 階調の発光駆動が為されるのである。

【0048】図 15 (a)～(j) はかかる図 3 の表示装置におけるフィルムのコマ A, B, C, D, ……に対する表示動作を示している。図 15 (a)～(g) は図 2 (a)～(g) に示したものと同一である。すなわち、図 15 (a) に示したフィルムのコマ A, B, C, D, ……に対して 2-3 テレシネ変換された飛び越し走査の映像信号は図 15 (b) に示す如きフィールド列 A1, A2, B1, ……D1, D2, ……となる。このフィールド列は順次走査変

換回路 14 によって図 15 (c) に示す線順次走査の映像信号 VA, VB, VC, VD, …… が得られる。映像信号 VA, VB, VC, VD, …… 各々は順次間引かれた後、図 15 (d) 及び (e) に示すようにメモリ 16, 17 に交互に書き込まれる。メモリ 16, 17 に間引き書き込まれた映像信号 VA, VB, VC, VD, …… はメモリ制御回路 19 の制御によって読み出される。この読み出しは 48 Hz でメモリ 16, 17 各々で 2 回繰り返行われ、メモリ 16 からの読み出しでは図 15 (f) に示すように映像信号 VA, VA, VC, VC, …… が得られ、メモリ 17 からの読み出しでは図 15 (g) に示すように映像信号 VB, VB, VD, VD, …… が得られる。

【0049】 切換スイッチ 18 から出力される映像信号、すなわち画素データ PD' は図 15 (h) に示すように VA, VA, VB, VB, VC, VC, VD, VD, …… である。第 1 データ変換回路 32 では図 8 の変換特性による駆動モード (A) が設定されるフィールド (偶数フィールド) VA', VB', VD', VD', …… と、図 9 の変換特性による駆動モード (B) が設定されるフィールド (奇数フィールド) VA'', VB'', VC'', VD'', …… とが交互になって図 15 (i) に示すように変換画素データ HDp として出力される。

【0050】 よって、PDP 10 における表示においては図 15 (j) に示すように 1/48 秒の駆動モード

(A) による第 1 発光駆動シーケンスと 1/48 秒の駆動モード (B) による第 2 発光駆動シーケンスとがフィールド毎に交互に行われ、図 15 (a) の映画フィルムのコマと同様に 1/24 秒で 1 画面となる表示が行われる。なお、かかる実施例においては、2 倍のフレームレート再生で 2 つの異なる発光駆動シーケンスを設定しているが、n 倍 (例えば、3 倍) のフレームレート再生で n 個 (例えば、3 個) の異なる発光駆動シーケンスを設定することも可能である。

【0051】

【発明の効果】 以上の如く、本発明によれば、映画フィルムのコマと同様に 1/24 秒で 1 画面となる表示が行われるので、テレビネ変換画像に対する表示品質の向上を図ることができる。

【図面の簡単な説明】

【図 1】 本発明による表示装置の構成を示すブロック図である。

【図 2】 図 1 の表示装置の各部の動作を示す図である。

【図 3】 本発明の他の実施例として表示装置の構成を示すブロック図である。

【図 4】 PDP 10 に印加される各種駆動パルスの印加タイミングの一例を示す図である。

【図 5】 本発明の駆動方法に基づく発光駆動フォーマットを示す図である。

【図 6】 データ変換回路 30 の内部構成を示す図である。

【図 7】 第 1 データ変換回路 32 の内部構成を示す図である。

【図 8】 第 1 データ変換回路 32 における第 1 の変換特性を示す図である。

【図 9】 第 1 データ変換回路 32 における第 2 の変換特性を示す図である。

【図 10】 多階調処理回路 33 の内部構成を示す図である。

【図 11】 誤差拡散処理回路 330 の動作を説明する為の図である。

【図 12】 ディザ処理回路 350 の内部構成を示す図である。

【図 13】 ディザ処理回路 350 の動作を説明する為の図である。

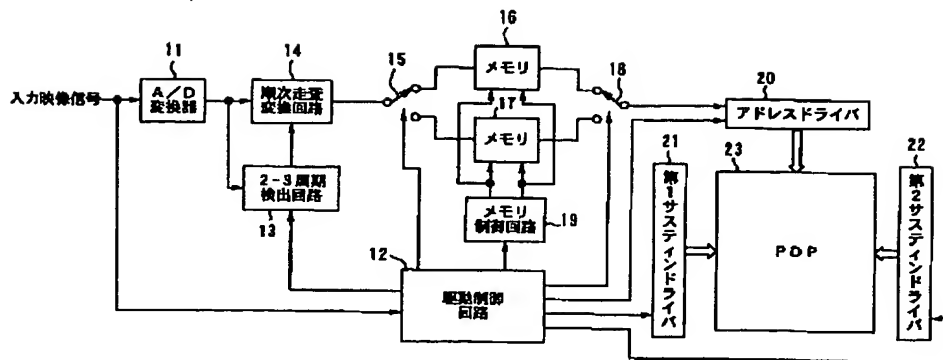
【図 14】 図 5 に示される発光駆動フォーマットに基づいて実施される発光駆動の全パターン、及びこの発光駆動を実施する際に第 2 データ変換回路 34 で用いられる変換テーブルの一例を示す図である。

【図 15】 図 3 の表示装置の各部の動作を示す図である。

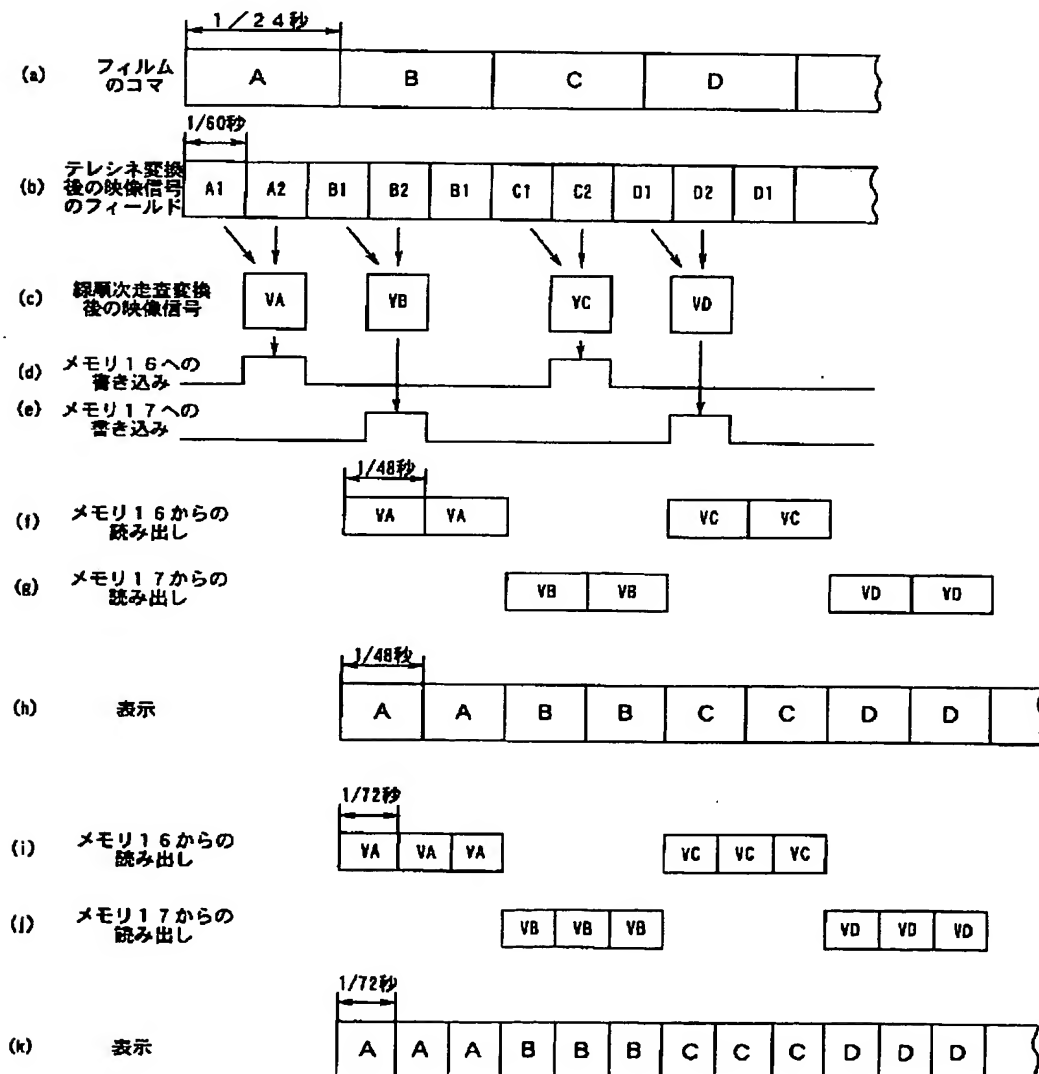
【符号の説明】

- 2, 12 駆動制御回路
- 6, 20 アドレスドライバ
- 7, 21 第 1 サスティンドライバ
- 8, 22 第 2 サスティンドライバ
- 10, 23 PDP
- 13 2-3 周期検出回路
- 14 順次走査変換回路
- 30 データ変換回路
- 32 第 1 データ変換回路
- 33 多階調化処理回路
- 40 34 第 2 データ変換回路
- 330 誤差拡散処理回路
- 350 ディザ処理回路

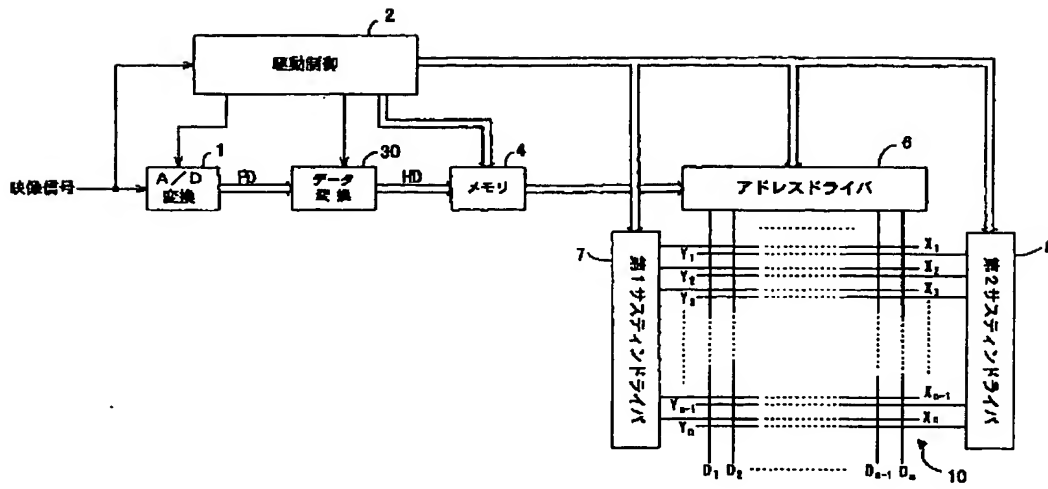
【図 1】



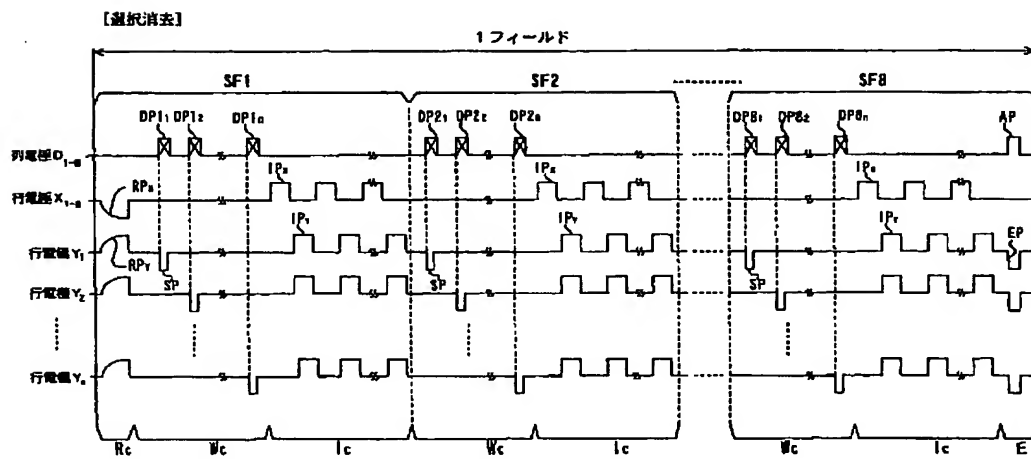
【図 2】



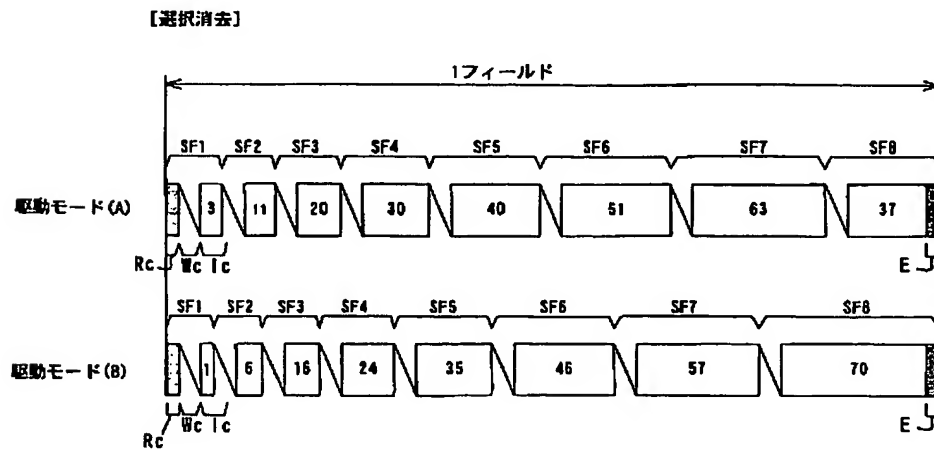
【図 3】



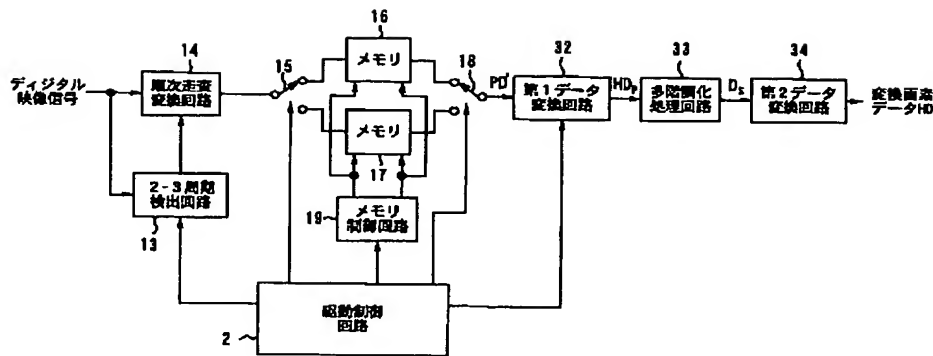
【図 4】



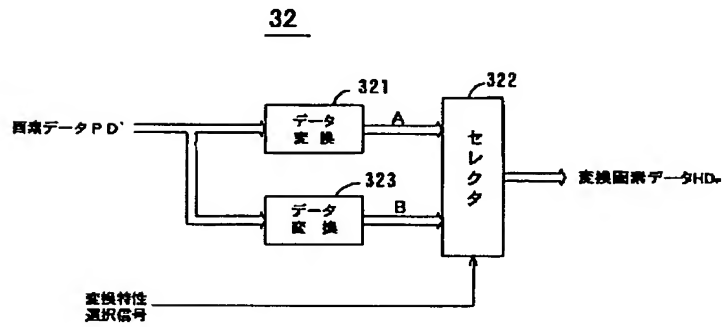
【図 5】



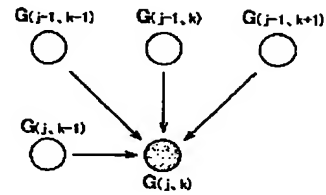
【図6】



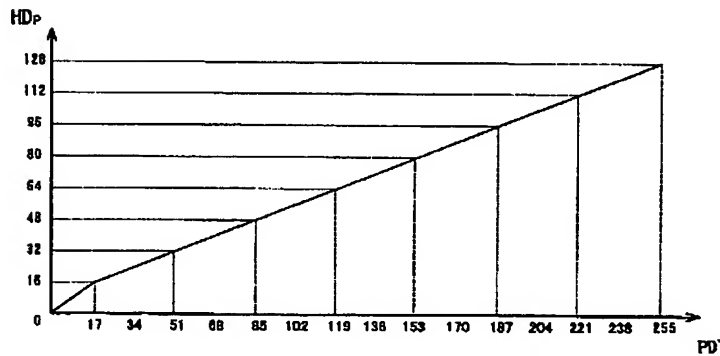
【図7】



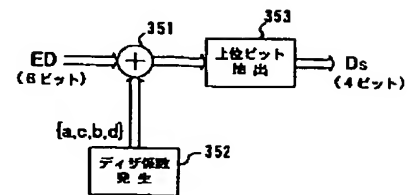
【図11】



【図12】

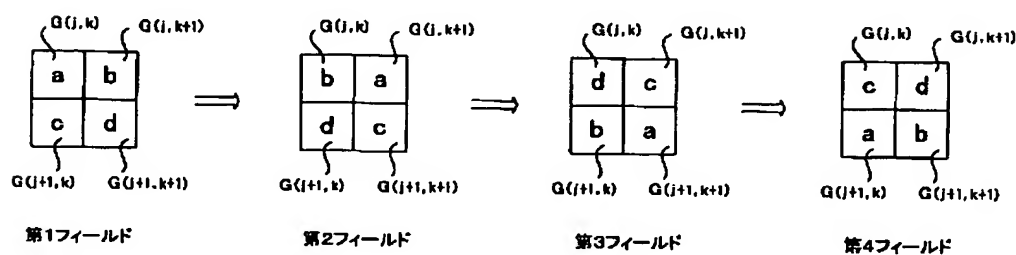


【図8】

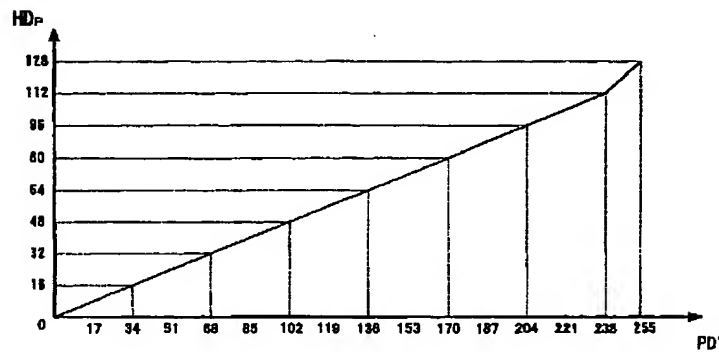


350

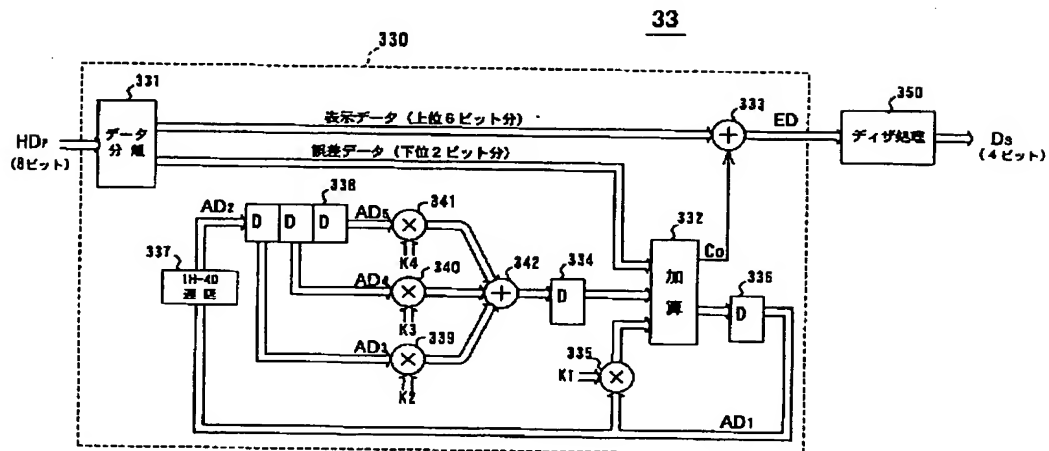
【図13】



【図 9】



【図 10】



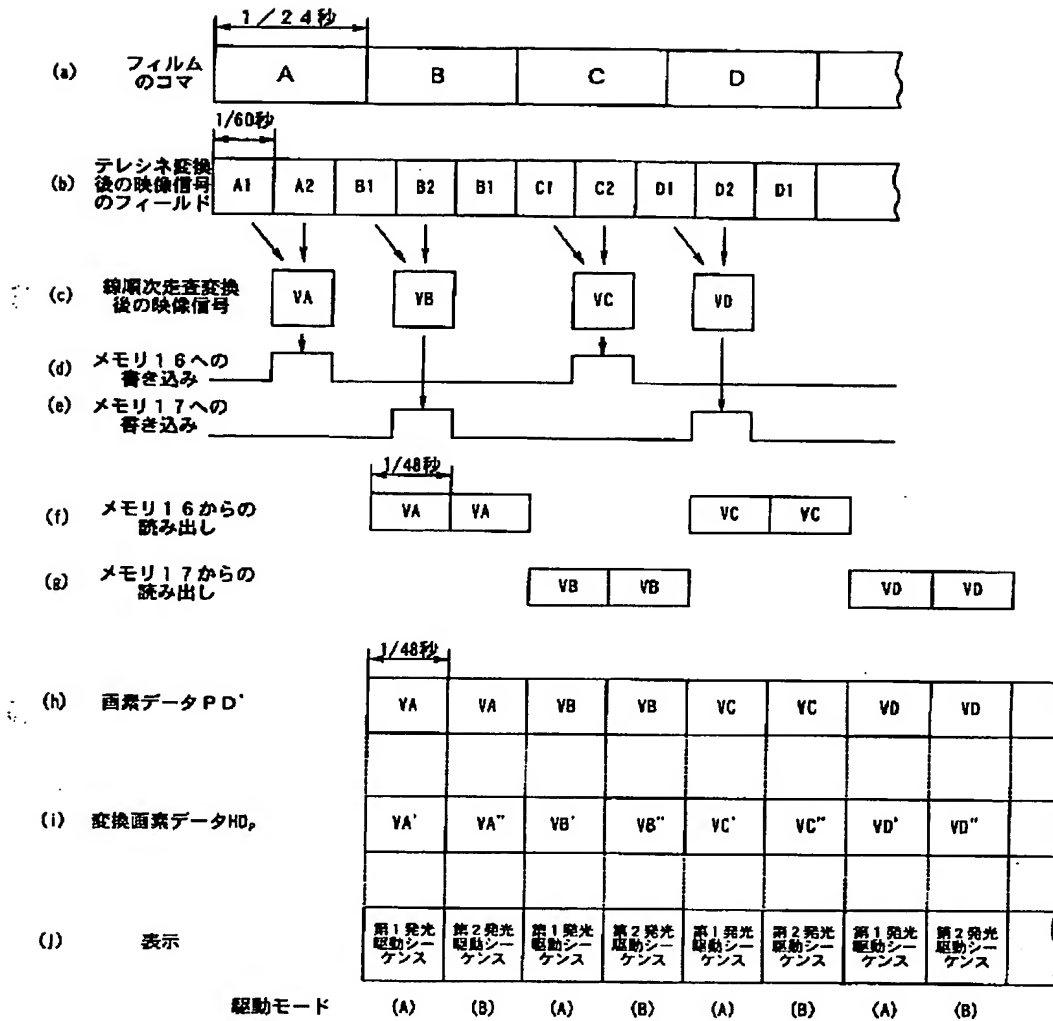
【図 14】

【選択消去】

階層	Ds	HD								発光駆動パターン								発光輝度	
		1	2	3	4	5	6	7	8	SF	S	S	S	S	S	S	S	(A)	(B)
1	0000	1	0	0	0	0	0	0	0	●								0	0
2	0001	0	1	0	0	0	0	0	0	○	●							3	1
3	0010	0	0	1	0	0	0	0	0	○	○	●						14	7
4	0011	0	0	0	1	0	0	0	0	○	○	○	●					34	23
5	0100	0	0	0	0	1	0	0	0	○	○	○	○	●				64	47
6	0101	0	0	0	0	0	1	0	0	○	○	○	○	○	●			104	82
7	0110	0	0	0	0	0	0	1	0	○	○	○	○	○	○	●		155	128
8	0111	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	●	218	185
9	1000	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	255	255

黒丸: 選択消去放電
白丸: 発光

【図 15】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード* (参考)

H 0 4 N 7/01

G 0 9 G 3/28

Z

(72) 発明者 本田 広史

山梨県中巨摩郡田富町西花輪2680番地 パ
イオニア株式会社内

F ターム (参考)

2H093 NA43 NC13 NC16 ND01
 5C006 AA22 AB05 AC02 AF03 AF23
 BF02 FA08
 5C058 AA06 AA11 AA12 BB01 BB04
 BB13 BB15 BB16 BB17 BB25
 5C063 AC10 BA04 BA10 CA05 CA09
 CA23 CA34
 5C080 AA05 BB05 CC03 DD30 EE32
 FF12 JJ02 JJ04 JJ05 KK43